

适用于 IGBT/SiC/GaN 单通道增强隔离栅极驱动器

EVM使用说明

描述

本文档主要描述了 CA-IS312x 评估板相关的使用说明,其中包含产品介绍、原理图、PCB 布线图、物以及部分关键波形和数据等。该评估板可以用来简单评估 CA-IS3212MYS,CA-IS3212MBS,CA-IS3212MCS,C AIS3212SBS,CA-IS3212SCS 的基本性能。

芯片简介

CA-IS3212 是一系列基于电容隔离的单通道栅极驱动器,可用于驱动 MOSFET、IGBT、GaN、SiCMOSFET 等功率器件。该驱动器具有出色的动态性能和高可靠性,同时具有高达 4A/5A 峰值的拉/灌电流能力。

CA-IS3212 通过 SiO₂ 电容隔离技术实现控制侧与驱动侧的电气隔离,初次级隔离电压达 5.7kV_{RMS}(SOIC8-WB)和 3.75kV_{RMS}(SOIC8-NB),额定工作电压下隔离栅寿命超过 40 年,同时具有良好的器件一致性以及>150V/ns 的共模瞬态抗扰度 (CMTI)。

CA-IS3212 具有控制和驱动侧电源 UVLO 功能,同时针对 SiC、GaN 和 IGBT 开关行为进行了优化,并提高了可靠性。此外,CA-IS3212MCG 内置 4A 峰值电流有源米勒钳位;CA-IS3212VCG 外置 COM 脚,便于隔离驱动侧正负电源供电;CA-IS3212SCG 具有 OUTH 和 OUTL 分离输出配置。

该系列一共包含两个封装,SOIC8-NB(S)和 SOIC8-WB(G)封装;CA-IS3212MYS,CA-IS3212MBS,CA-IS3212MCS,CAIS3212SBS,CA-IS3212SCS 为 SOIC8-NB(S)封装, CA-IS3212MBG,CA-IS3212MCG,CA-IS3212SBG,CA-IS3212SCG,CA-IS3212VCG 为 SOIC8-WB(G)封装,为客户可根据方案需求选择不同封装类型的芯片。

3D 图

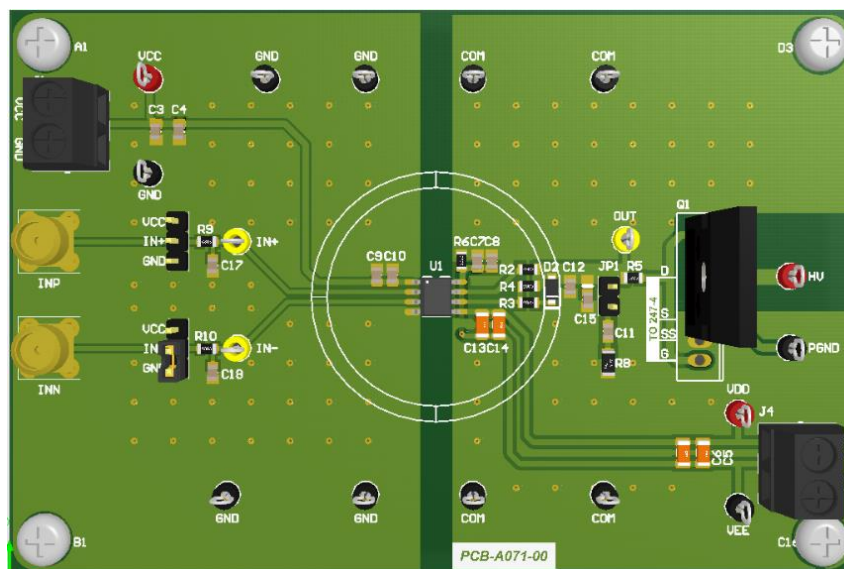
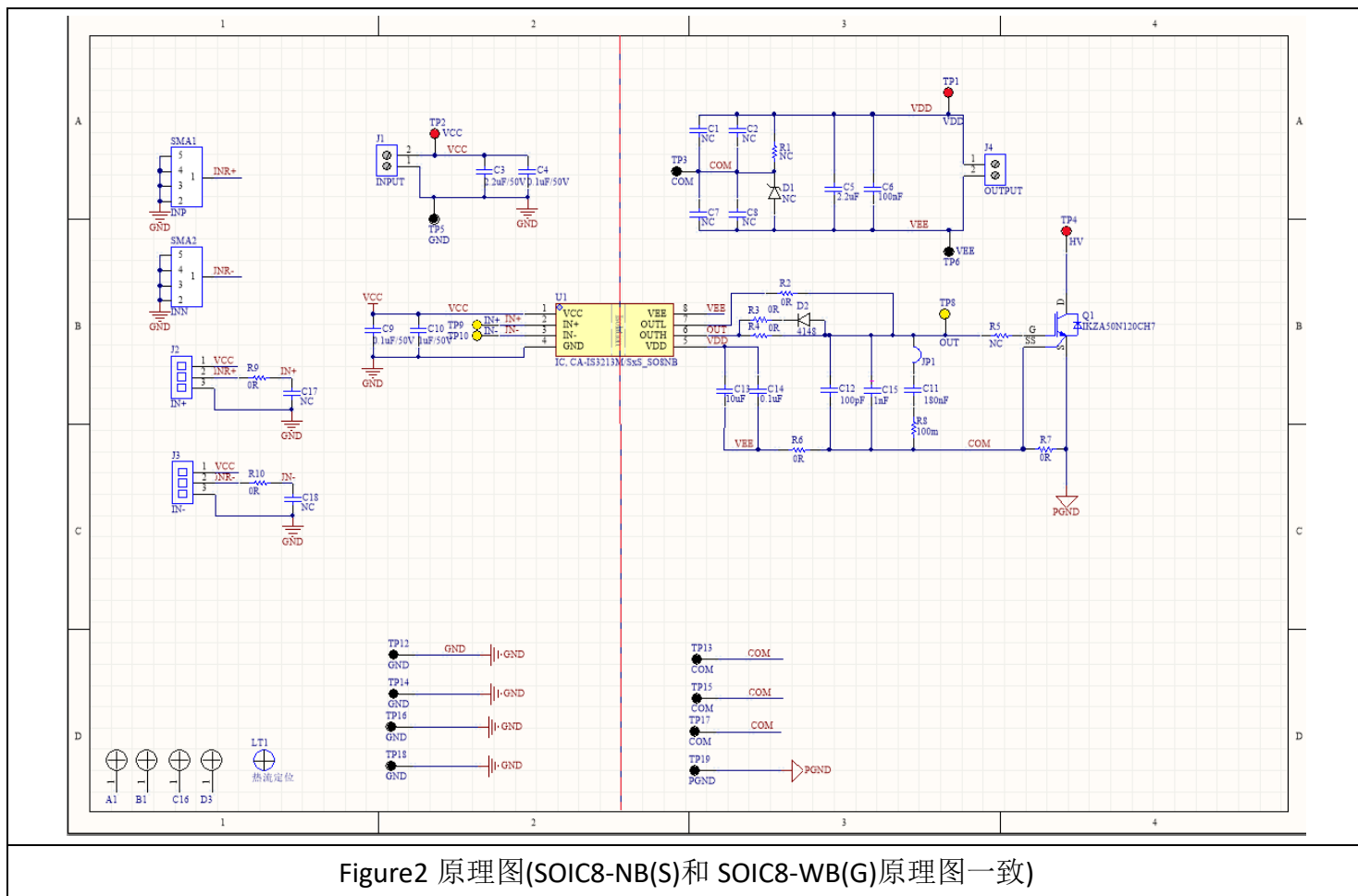
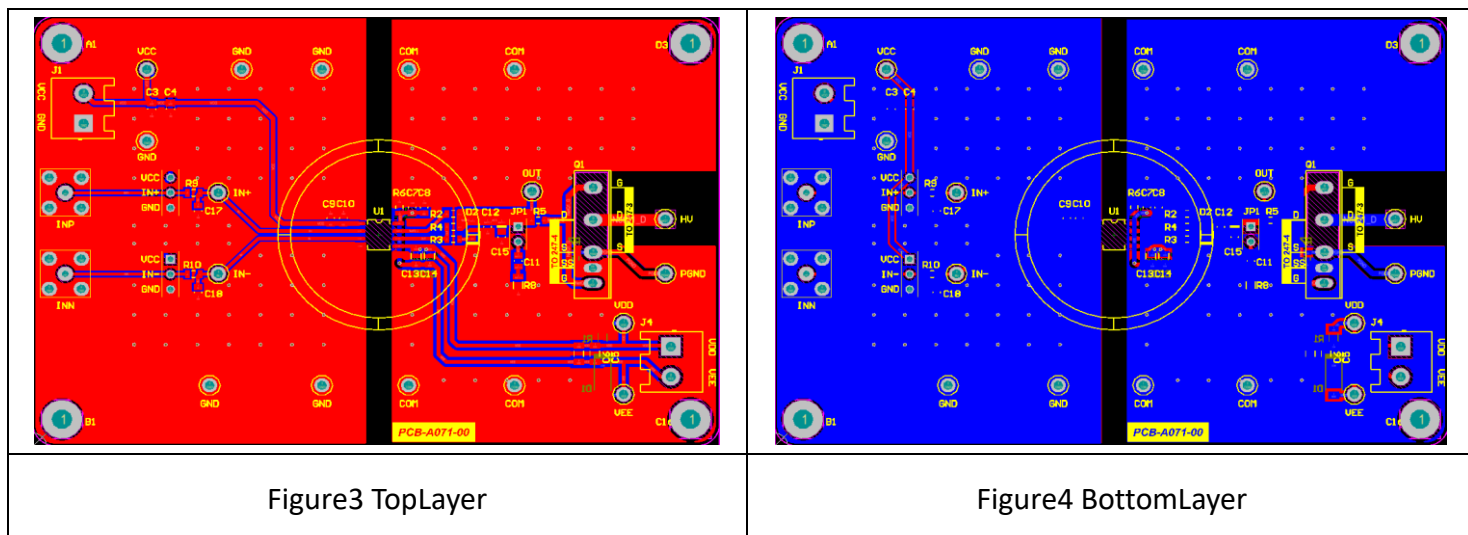


Figure1 EVM 的 3D 视图（适用于 SOIC8-NB 封装的产品）

原理图



布线图



物料清单

Item	Designator	Comment	Description	Footprint	Quantity
1	C1, C2, C7, C8	NC	4.7uF/50V, 10uF/50V, Capacitor, Ceramic	C0805_M	4
2	C3	2.2uF/50V	Capacitor, Ceramic,	C0805_L	1
3	C4	0.1uF/50V	Capacitor, Ceramic,	C0805_L	1
4	C5	2.2uF	2.2uF/50V	C1206_M	1
5	C6	100nF	0.1uF/50V	C1206_M	1
6	C9	0.1uF/50V	0.1uF/50V, 10uF/50V, Capacitor, Ceramic	C0805_M	1
7	C10	1uF/50V	1uF/50V, 10uF/50V, Capacitor, Ceramic	C0805_M	1
8	C11	180nF	180nF/50V	C0805_M	1
9	C12	100pF	100pF/50V	C0805_M	1
10	C13	10uF	1uF/50V	C1206_M	1
11	C14	0.1uF	0.1uF/50V	C1206_M	1
12	C15	1nF	1.0nF/50V	C0805_JP	1
13	A1, B1, C16, D3	NC			4
14	C17, C18	NC			2
15	D1	NC			1
16	D2	1N4148	Diode, Gerneral	DIODE,SOD-123FL	1
17	J1	IN+UT	Connector, Screw Terminal, 5.08, 2P	con,tbk,508-2p,	1
18	J2	IN+	Header, Unshrouded , 2.54, Male, 3P	con,hdr,254-3p	1
19	J3	IN-	Header, Unshrouded , 2.54, Male, 3P	con,jmp,254-3p-23	1
20	J4	OUTPUT	Connector, Screw Terminal, 5.08, 2P	con,tbk,508-2p	1
21	JP1	VDD	Connector, Jumper, 2.54, 2p	con,hdr,254-2p	1
22	Q1	IKZA50N120CH7	SiC, single	MFET,THT,TO-247-3/4 - A	1
23	R1	NC	Resistor,	R1206_M	1
24	R2, R3, R4, R6,	OR	Resistor,	R0805_M	7
25	R5	NC	Resistor,	R0805_M	1
26	R8	100m	Resistor,	R1206_M	1
27	SMA1	IN+		TPT,SMA-V- 5Pin	1
28	SMA2	IN-		TPT,SMA-V- 5Pin	1
29	TP1	VDD	TEST POINT PC COMPACT .063"D RED	tpt,keystone-5010-RED	1
30	TP2	VCC	TEST POINT PC COMPACT .063"D RED	tpt,keystone-5010-RED	1
31	TP3, TP13, TP15,	COM	TEST POINT PC COMPACT .063"D BLK	tpt,keystone-5011-BLACK	4
32	TP4	HV	TEST POINT PC COMPACT .063"D RED	tpt,keystone-5010-RED	1
33	TP5, TP12, TP14,	GND	TEST POINT PC COMPACT .063"D BLK	tpt,keystone-5011-BLACK	5
34	TP6	VEE	TEST POINT PC COMPACT .063"D BLK	tpt,keystone-5011-BLACK	1
35	TP8	OUT	TEST POINT PC COMPACT .063"D YEW	tpt,keystone-5014-YELLOW	1
36	TP9	IN+	TEST POINT PC COMPACT .063"D YEW	tpt,keystone-5014-YELLOW	1
37	TP10	IN-	TEST POINT PC COMPACT .063"D YEW	tpt,keystone-5014-YELLOW	1
38	TP19	PGND	TEST POINT PC COMPACT .063"D BLK	tpt,keystone-5011-BLACK	1
39	U1		IC, SOIC8-NB,CA-IS3212SCS	SOIC8-NB	1

测试仪器

固纬电子 GPD-3303S 线性直流电源、500MHz 带宽示波器安捷伦 DSO6054A、多功能数字万用表 KEYSIGHT-34465A、SIGLENT-SDG1062X 高频信号发生器等。

硬件连接

- 1.将直流电压源连接到 VCC 和 GND；
- 2.信号发生器输出一定频率和幅值的信号，连接输入端 INP、INN；
- 3.通过示波器测量输入信号 INN、INP，芯片输出信号 OUT 等。

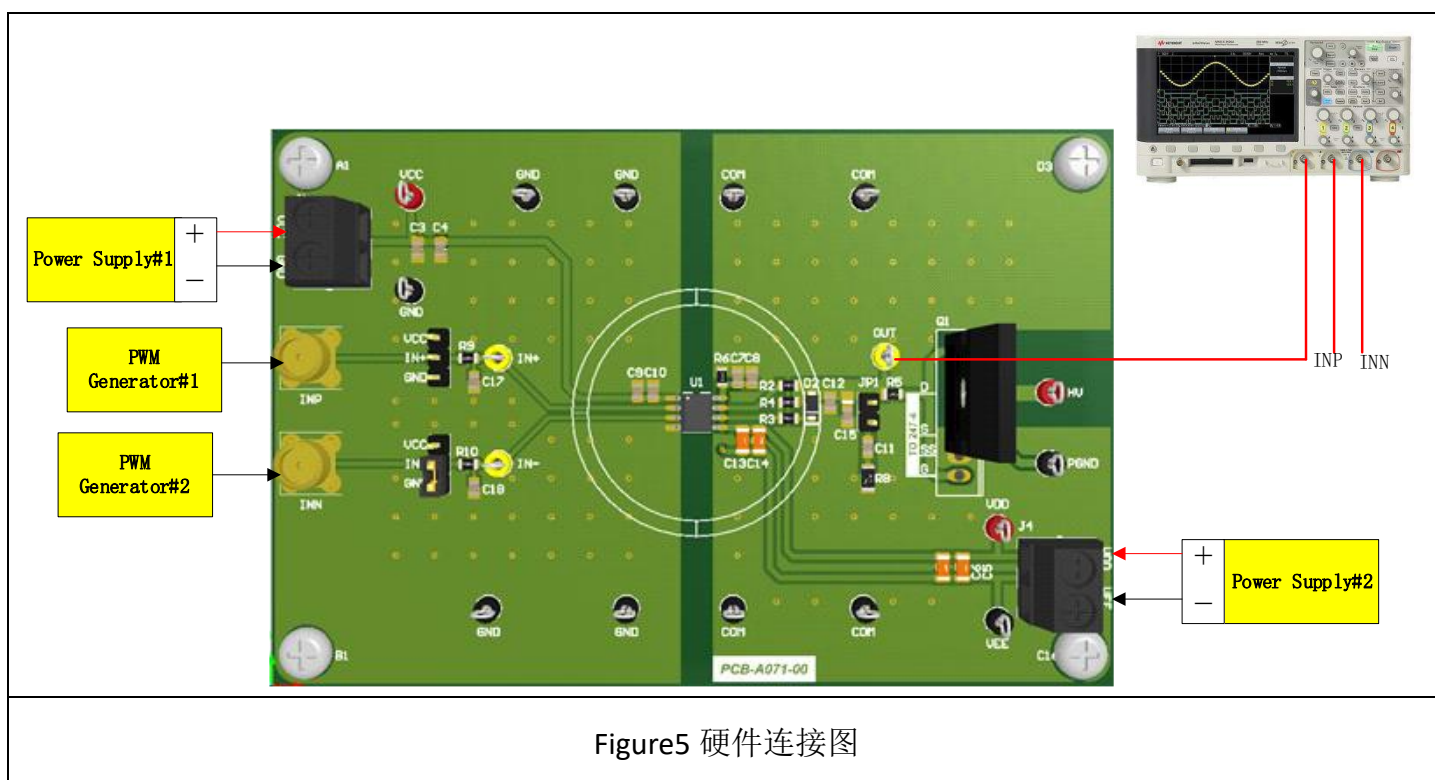


Figure5 硬件连接图

关键参数测试

下面是以 CA-IS3212SCS 为例,测试一些典型波形,包括输出上升&下降时间、传输延时、输出峰值电流、信号传输等等。(除非特殊说明, $T_a=25^{\circ}\text{C}$, $V_{CC}=3.3\text{V}$ 或 5V , $V_{DDA}=15\text{V}$, $V_{ddb}=15\text{V}$, $C_{VCC}=1\mu\text{F}||100\text{nF}$, $C_{VD}=10\mu\text{F}||100\text{nF}$, $C_{load}=100\text{pF}/50\text{V}$)。信号如下图所示。

1、输出上升时间&下降时间

图 9 和图 10 展示了上升和下降时间波形

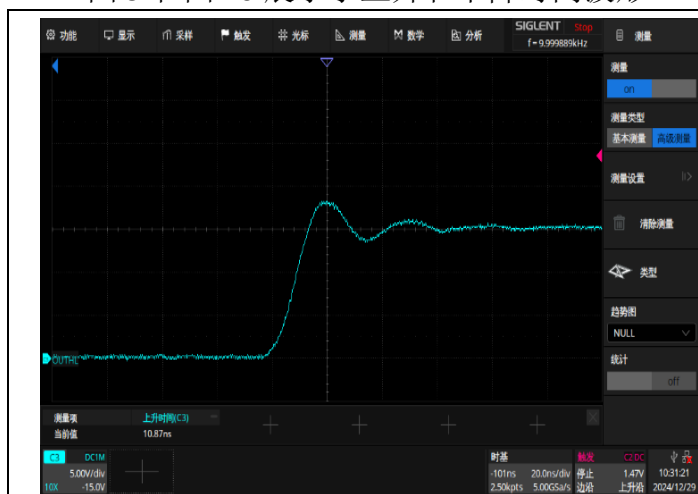


Figure6 输出上升时间

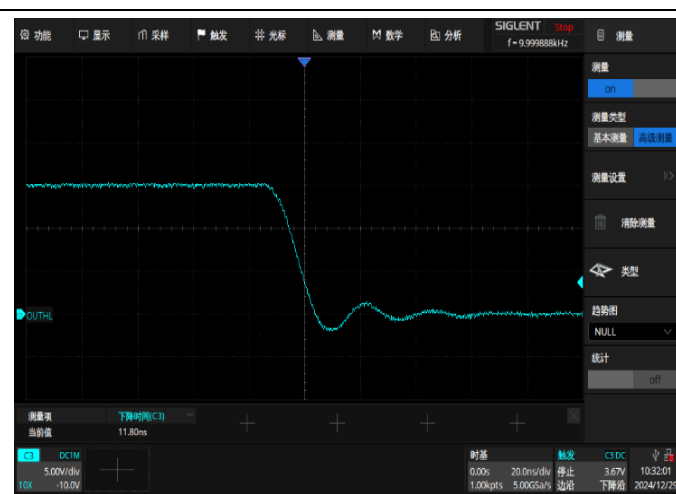


Figure7 输出下降时间

注: (1)波形通道设置: CH1:,CH2:OUTH/L,CH3:,CH4:
(2)上升&下降时间取输出边沿的 10%-90%.

2、传输延时

用户在测试前需确保负载电容没有连接。图 11 和图 12 展示了输入与输出之间的传输延时



Figure8 上升沿传输延时

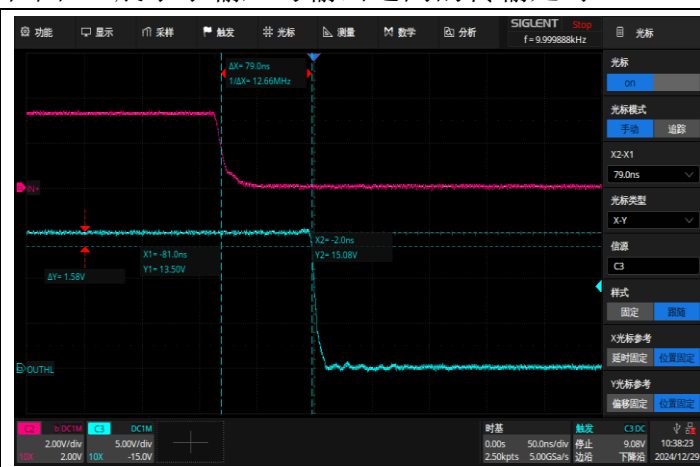


Figure9 下降沿传输延时

注: (1). $V_{DD}=15\text{V}$,CH2:IN+,CH3:OUTH/OUTL.

(2). t_{PDHL} 传输延时取输入信号 IN 上升沿 50%至输出信号 OUT 上升沿的 10%; t_{PDHL} 传输延时取输入信号 IN 下降沿 50%至输出信号 OUT 下降沿的 90%

3、输出峰值电流

通过在 Cloud 串联 100mΩ 采样电阻电压的方法测试 I_{OUTH} 和 I_{OUTL} ，测试 OUTH/OUTL 串联 100mΩ 两端的压降为 V_{sense} ，记录 OUTH/OUTL 在上升沿阶段，100mΩ 电阻的电压为 V_{sense_H} ；记录 OUTH/OUTL 在下降沿阶段，100mΩ 电阻的电压为 V_{sense_L} ；计算 $I_{OUTH}=V_{sense_H}/0.1\Omega$ ， $I_{OUTL}=V_{sense_L}/0.1\Omega$ ；

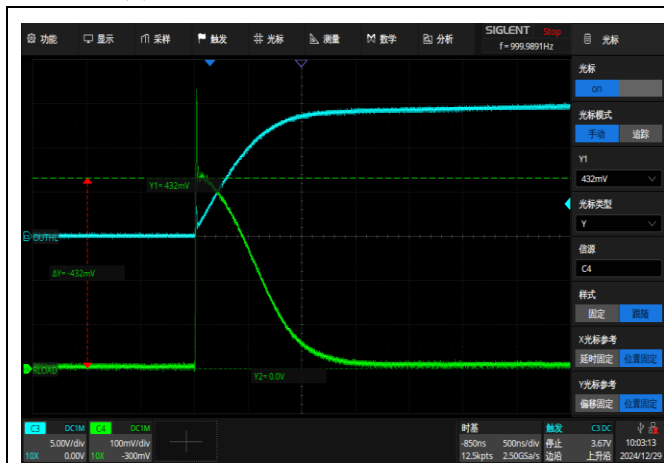


Figure10 输出高电平峰值电流

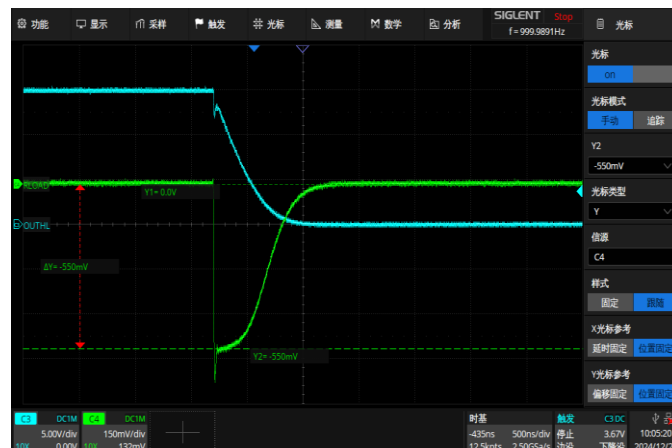


Figure11 输出低电平峰值电流

注：25℃，CH3:OUTH/OUTL,CH4:Rload

4、信号传输

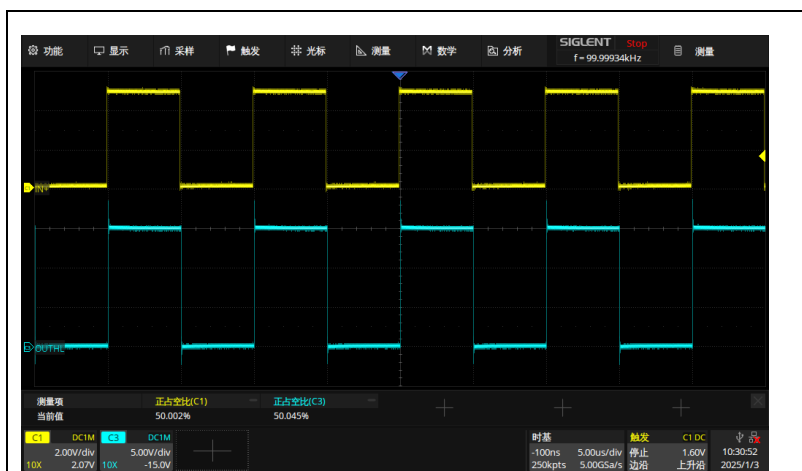


Figure12 输入与输出波形（Frequency=100kHz）

PCB 布线建议

为了达到 CA-IS3212x 的最优性能，PCB 布局时需要遵循以下原则：

- 为了保证电源为稳定性和低噪声，低 ESR 和低 ESL 电容器必须靠近器件连接在 VCCI 和 GND 引脚之间以及 VDD 和 VSS 引脚之间，以便在接通外部电源时支持高峰值电流。
- 为避免开关节点 VSSA 引脚上出现较大的负瞬变，需最小化上管的源极和下管的源极的走线，以减小寄生电感效应。
- 当 MCU 与驱动芯片距离较远时，推荐尽可能靠近 EN 或 DIS 引脚处放置旁路电容，以减小噪声干扰。
- 为确保初级侧和次级侧之间的隔离性能，应避免在芯片下方放置任何 PCB 走线、覆铜、焊盘和过孔。建议使用 PCB 切口以防止污染该芯片的隔离性能。
- 用于半桥或高边/低边配置，通道 A 和通道 B 驱动器可以在高达 1500VDC 的直流母线电压下工作，应尝试增加 PCB 的爬电距离，即高压侧和低压侧 PCB 走线之间的布局。
- 当芯片驱动功率管时，OUT 存在非常高的 di/dt ，OUT 环路 PCB 走线寄生电感会导致 EMI 和电压振荡问题，故在设计 PCB 时，芯片应尽可能靠近功率管位置，OUT 走线尽可能宽，环路走线尽可能短，以降低环路寄生电感。
- 当负载较重或开关频率较高时，芯片的损耗也会增加，可以通过适当 PCB 布局将热量传导到 PCB 板上，以达到减小芯片的温度。建议适当地增加 VDD 和 VEE 引脚的 PCB 覆铜，优先最大程度地增加 VEE 的连接。
- 如果系统有多层板设计，建议在 VDD 和 VSS 层放置大量过孔连接，以减小寄生参数。

RevisionHistory

版本	日期	状态描述
Rev1.0	Jan.2025	初始版本

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

<http://www.chipanalog.com>