

CA-IS2092A 隔离 485 辐射抑制参考设计

目录

1. 概述..... 2

2. 芯片功能及抑制措施..... 3

2.1. 芯片功能概述..... 3

2.2. 抑制措施..... 3

2.2.1. 去耦电容 3

2.2.2. 在原副边之间放置 Y 电容 4

2.2.3. 放置磁珠 4

2.2.4. 构建边缘防护 5

3. EMI 测试结果及 PCB 设计 5

3.1. EMI 测试结果汇总 5

3.1.1. 总线不接长线测试结果 6

3.1.2. 总线接长线（10M）测试结果 10

3.2. PCB 设计 12

3.2.1. PCB 参考图及布局建议 12

3.2.2. 电路原理图及推荐器件配置 14

修订历史 15

重要声明 15

1. 概述

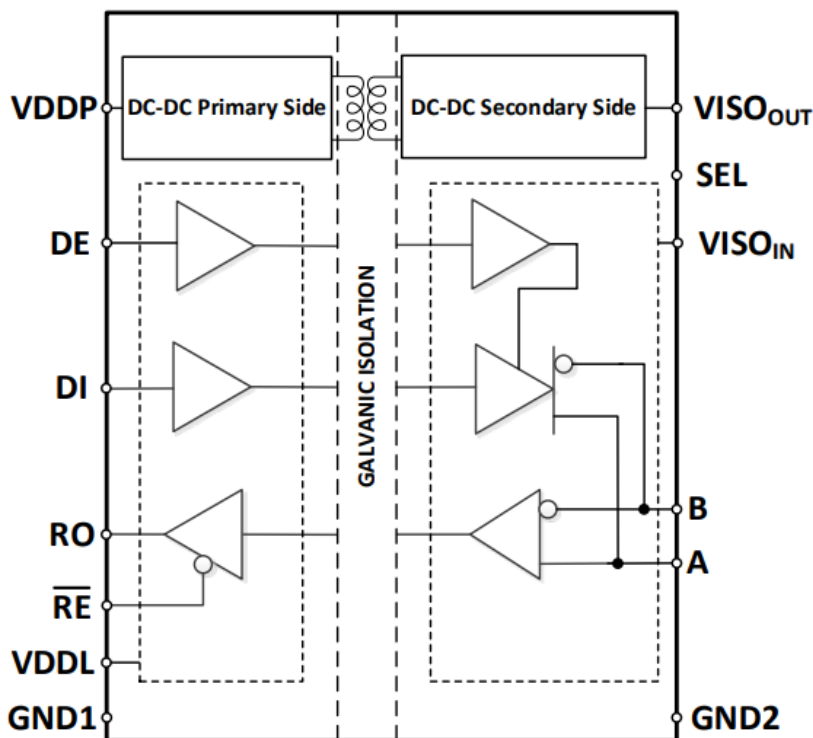
CA-IS2092A 是集成隔离电源的隔离式 RS-485/RS-422 收发器，隔离电源的输出 VISO 有 5V 和 3.3V 两种选项，通过 SEL 管脚选择，可提供最大负载 100mA。CA-IS2092A 是采用 LGA16 小型封装，芯片内置微变压器，由于变压器尺寸和功率的限制，通过微型变压器的开关频率约为 25MHz，变压器的电流的切换会产生电磁辐射，引起辐射噪声，器件工作所产生的噪声落在 30 MHz 至 1 GHz 范围内，产生辐射干扰问题。

通过 PCB 布局和外围参数的调整，此产品可以满足在非屏蔽应用环境下的 EN55032(CISPR32) 的 Class B 类辐射标准。总线接 10m 长线的情况下，满足在非屏蔽应用环境下的 EN55032(CISPR32) 的 Class A 类辐射标准。

2. 芯片功能及抑制措施

2.1. 芯片功能概述

CA-IS2092A 的 PIN 脚定义如下：

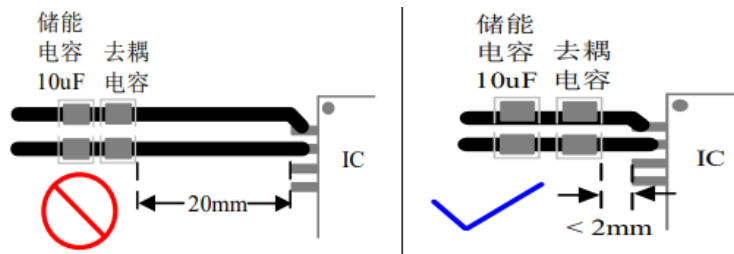


CA-IS2092A 为隔离式半双工 RS-485 收发器，内部集成 隔离式 DC-DC 转换器，省去了外部隔离电源。该器件为半双工收发器，可通过器件的接收使能与发送使能引脚控制收发状态，支持最高 0.5Mbps 的通信速率。CA-IS2092A 将逻辑侧 DC-DC 供电和 RS-485 收发器供电分开，便于逻辑侧与低压控制电路的信号交互。

2.2. 抑制措施

2.2.1. 去耦电容

去耦电容有助于滤除高频开关引起的差模噪声并为电路各模块提供瞬时峰值电流。可以在原副边电源与地之间放置低 ESL/ESR 的 MLCC 电容，距离 PIN 脚 1-2mm 以缩小高频环路，容值 1 nF ~10nF（降低高频阻抗），0.1uF~1uF（覆盖芯片开关噪声），与储能电容 10uF 并联。正确的布局方式：电源输入 → 10μF（陶瓷电容）+ 0.1μF（陶瓷电容）+10nF（高频电容）。



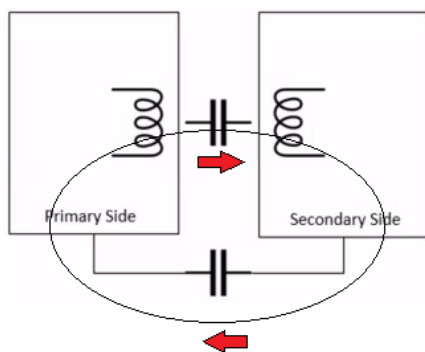
2.2.2. 在原副边之间放置 Y 电容

Y 电容的作用机制：提供共模噪声的低阻抗回流路径，降低共模电压波动。

提供共模噪声的低阻抗回流路径：电源工作时，高频开关噪声会通过变压器原副边之间的寄生电容（分布电容）耦合到副边，形成共模电流（Common Mode Current）。Y 电容连接在原边地和副边地之间，为这些高频共模噪声电流提供了一个低阻抗的回路，使其通过电容返回原边，而非通过设备外壳、大地或其他路径辐射出去，从而减少对外部的干扰。

降低共模电压波动：原边和副边的地之间因隔离存在电势差，Y 电容通过“短接”高频噪声，抑制了共模电压的瞬态波动，避免其通过空间辐射或传导路径影响其他电路。

建议在原副边的参考地之间放置 Y 电容使高频电流在内部回流，减小环路面积降低辐射，Y 电容的大小应控制在（15pF~100pF 之间），容值过大会增加漏电流（影响安全），容值过小则滤波效果不足，需根据噪声频段和标准要求（如 CISPR、FCC）优化，Y 电容应紧靠芯片布置，并直接连接原边和副边的地，避免长走线引入额外电感。



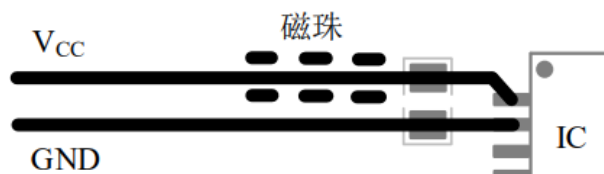
2.2.3. 放置磁珠

磁珠的作用：高频噪声吸收和低频滤波

高频噪声吸收：磁珠在特定高频范围内（通常 MHz 至 GHz）呈现高阻抗，能将高频噪声能量转化为热能消耗，而非反射回电路。这种特性使其成为抑制传导噪声和辐射噪声的有效工具。低频滤波，对高频噪声阻隔，而对低频信号（如电源）阻抗极低，允许其低损耗通过，从而实现高频滤波而不影响正常信号。

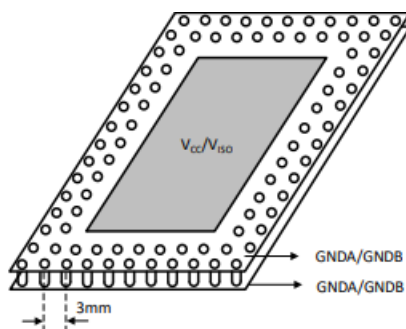
建议在原副边电源通过串联方式放置磁珠增加高频阻抗衰减高频噪声降低辐射，将磁珠与旁路电容直接相邻放置，形成紧凑滤波网络。若磁珠配合电容滤波（如 π 型滤波），电容接地端需通过短而宽的走线连接到干净地平面（走线长度尽量控制在 5mm 以内），避免接地阻

抗影响滤波效果。选择磁珠时需关注其阻抗-频率曲线，确保在目标噪声频段（如 100MHz-1GHz）有高阻抗（如 $1K\Omega@100MHz$ ），通过磁珠的直流或交流电流需低于其额定值，避免饱和或过热，建议 额定电流留 20%的余量。正确的布局方式：电源输入 → 贴片磁珠（紧靠电容）→ $10\mu F$ 陶瓷电容 + $0.1\mu F$ 高频电容 → IC。



2.2.4. 构建边缘防护

在地层放置一些过孔，形成接地过孔防护盾，将噪声返回到地层，减少对外的辐射。在 PCB 外围建议有两排或两排以上过孔，两排过孔尽量相互错开，孔之间的间距不超过 3mm，孔的大小范围 0.2~0.3mm，多层板中，屏蔽孔需贯穿所有地平面层，确保低阻抗接地路径。



3. EMI 测试结果及 PCB 设计

3.1. EMI 测试结果汇总

表格 3-1 EMI 测试结果总结

测试内容	PCB 层数	Y 电容	共模电感	方向	测试结果	EMI 余量
单板	2	无	无	水平	Class A	4.6dB
单板	2	无	无	垂直	Class A	11.63dB
单板	2	15pF	无	水平	Class B	12.62dB
单板	2	15pF	无	垂直	Class B	14.81dB
加 10m 长线	2	15pF	无	水平	Class A	4.5dB
加 10m 长线	2	15pF	无	垂直	Class A	7.99dB

3.1.1. 总线不接长线测试结果



图 3-1 水平方向结果

测试条件:

- 1) A/B 总线负载 54Ω , 压差 3.2V, 无 Y 电容, 总线负载电流 60mA;
- 2) 原边 5V 供电, 副边 VISO 无负载;

测试结果:

30MHz-1GHz, M2 距离 Class A 有 4.6dB 的余量;

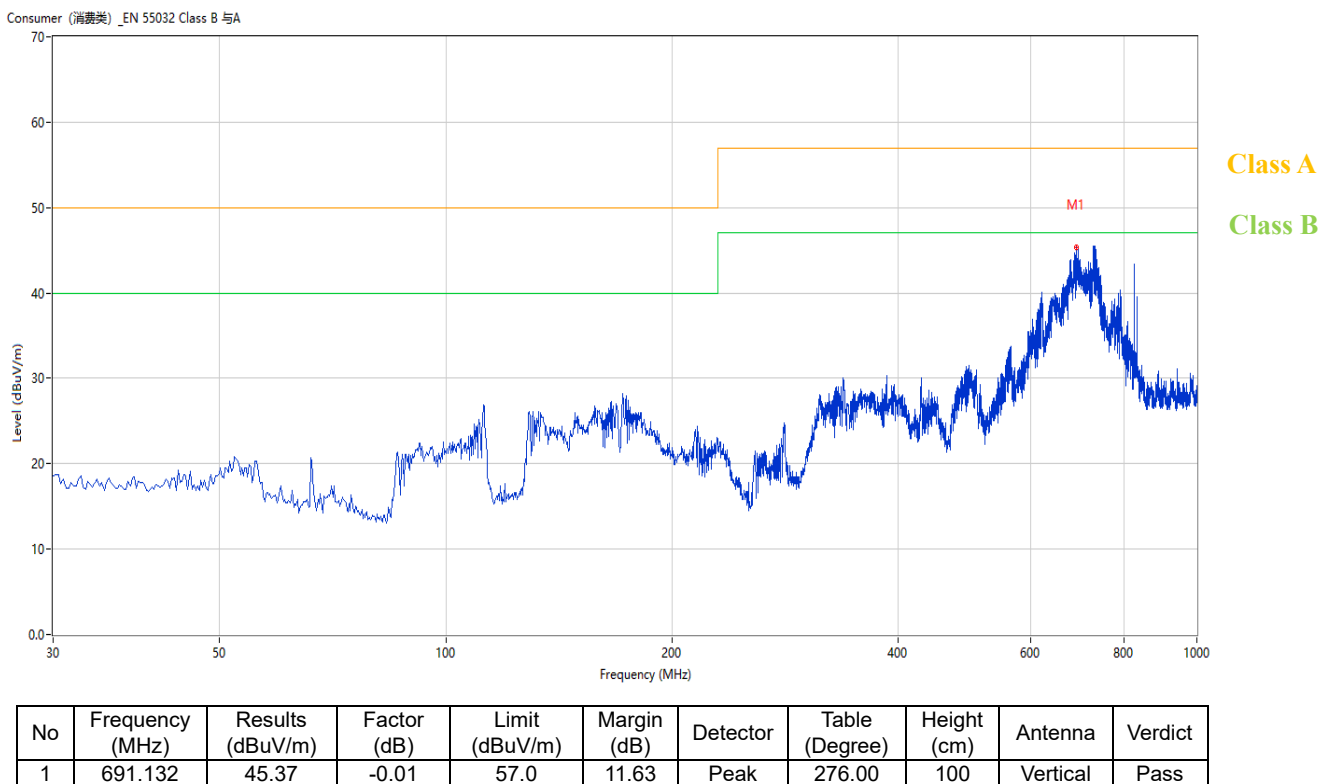


图 3-2 垂直方向结果

测试条件:

- 1) A/B 总线负载 54Ω , 压差 3.2V, 无 Y 电容, 总线负载电流 60mA;
- 2) 原边 5V 供电, 副边 VISO 无负载;

测试结果:

30MHz-1GHz, M1 距离 Class A 有 11.63 dB 的余量;



图 3-3 水平方向结果

测试条件:

- 1) A/B 总线负载 54Ω , 压差 3.2V, 加 15pF Y 电容, 总线负载电流 60mA;
- 2) 原边 5V 供电, 副边 VISO 无负载;

测试结果:

30MHz-1GHz, M3 距离 Class B 有 12.62dB 的余量;

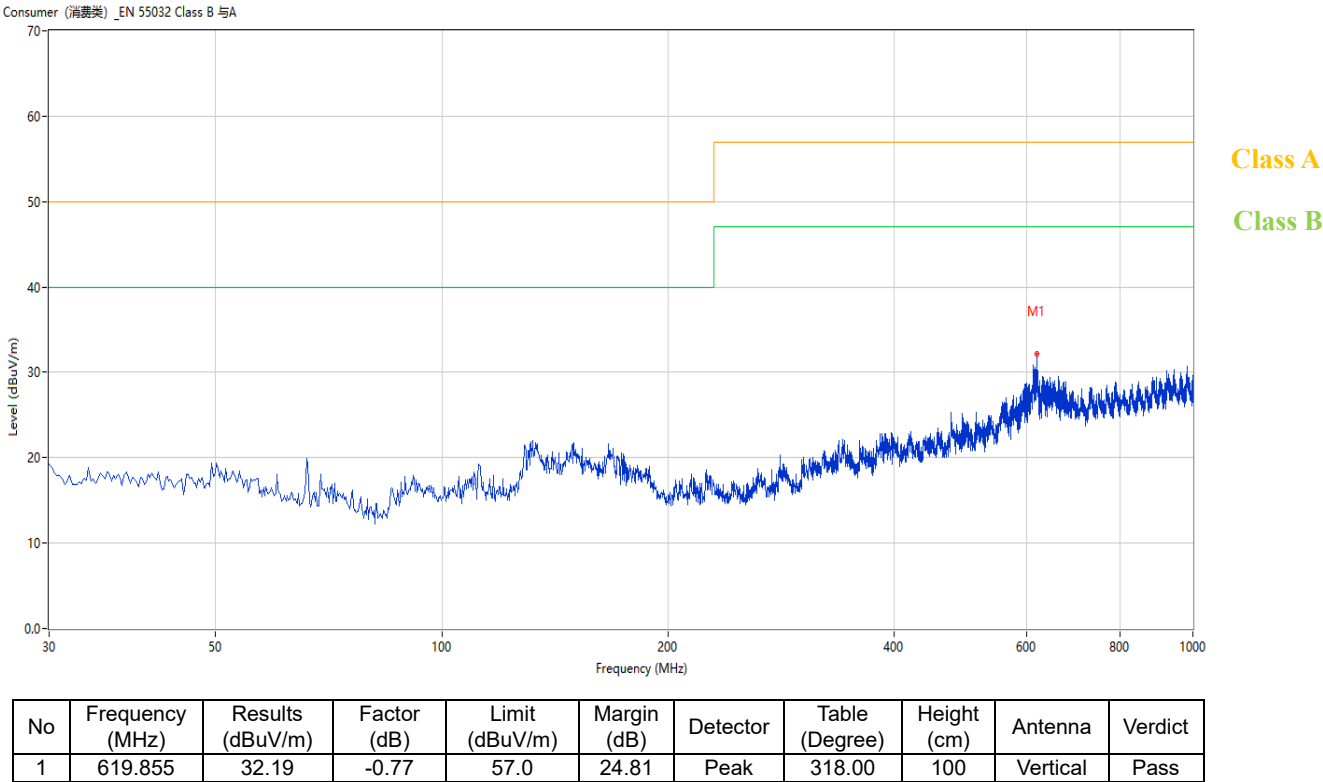


图 3-4 垂直方向结果

测试条件：

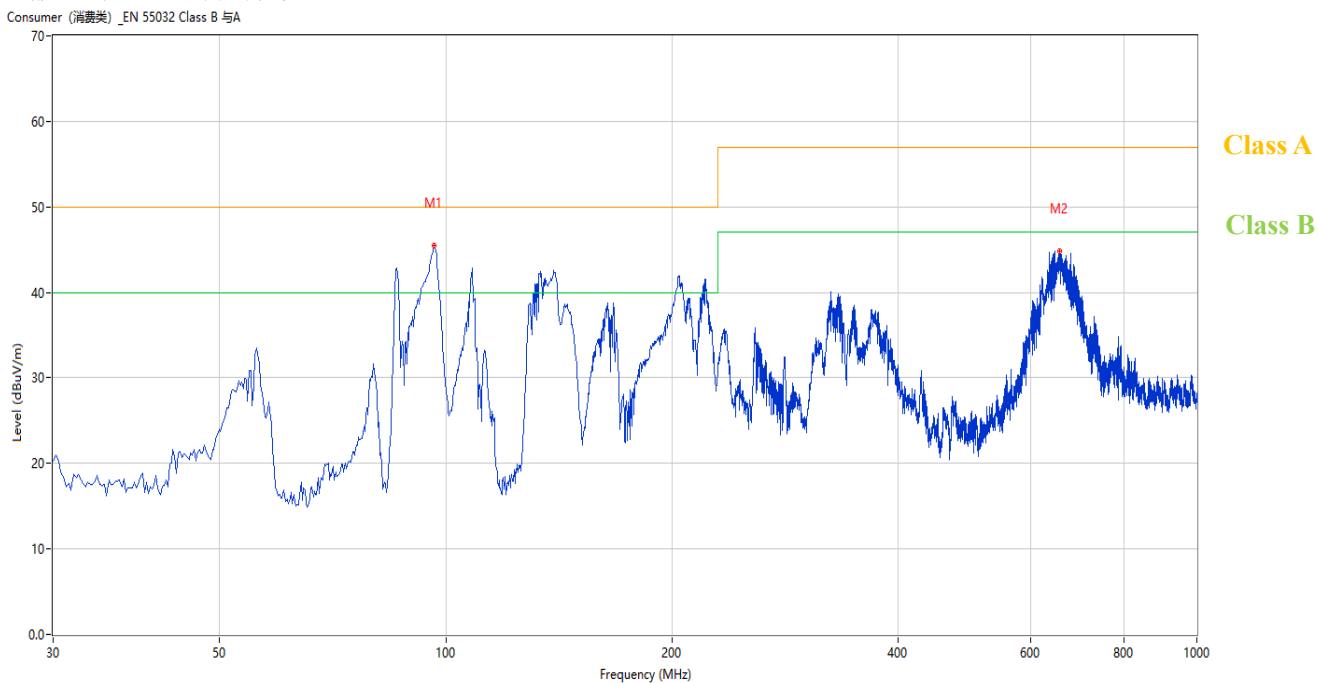
1) A/B 总线负载 54Ω，压差 3.2V，加 15pF Y 电容，总线负载电流 60mA；

2) 原边 5V 供电，副边 VISO 无负载；

测试结果：

30MHz-1GHz, M1 距离 Class B 有 14.81dB 的余量；

3.1.2. 总线接长线（10M）测试结果



No	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	Table (Degree)	Height (cm)	Antenna	Verdict
1	96.428	45.50	-9.59	50.0	4.50	Peak	183.00	100	Horizontal	Pass
2	656.463	44.89	-0.31	57.0	12.11	Peak	130.00	100	Horizontal	Pass

图 3-5 水平方向结果

测试条件:

- 1) A/B 总线负载 54Ω , AB 总线挂 10m 线, 压差 3.2V, 加 15pF Y 电容, 总线负载电流 60mA;
- 2) 原边 5V 供电, 副边 VISO 无负载;

测试结果:

30MHz-1GHz, M3 距离 Class A 有 4.5dB 的余量;

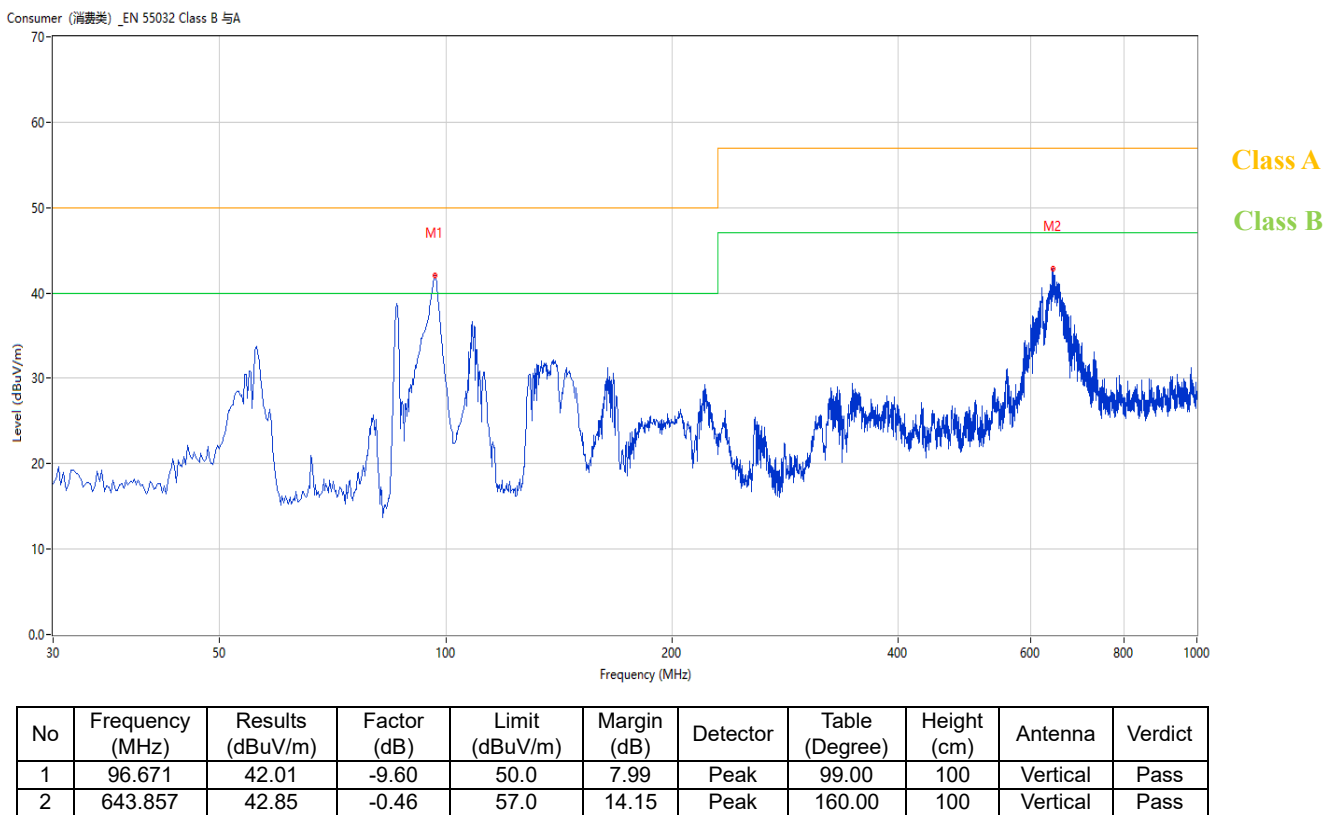


图 3-6 垂直方向结果

测试条件:

- 1) A/B 总线负载 54Ω , AB 总线挂 10m 屏蔽线, 压差 3.2V, 加 15pF Y 电容, 总线负载电流 60mA;
- 2) 原边 5V 供电, 副边 VISO 无负载;

测试结果:

30MHz-1GHz, M1 距离 Class A 有 7.99dB 的余量;

3.2. PCB 设计

3.2.1. PCB 参考图及布局建议

1. 通过 12V 转 5V 的 LDO (U1) 供电电路, 为芯片提供干净的电源供电 (见图 3-9);
2. 原副边通过串联方式放置磁珠 FB3,FB5,FB7,FB8,FB6) 增加高频阻抗衰减高频噪声降低辐射, 磁珠的距离尽量在芯片 PIN 脚 5mm 以内 (见图 3-7);
3. 耦合电容(C5,C6,C7,C8, C9,C10,C11,C15,) 尽量靠近芯片的位置, 与磁珠共同形成 π 型滤波, 距离芯片尽量保持在 2mm 左右;
4. 在 PCB 原副边地之间放置 Y 电容 (见图 3-9 CY1), Y 电容的位置尽量靠近芯片, Y 电容放在芯片上端 (见图 3-7);
5. 在 PCB 外围建议有两排或两排以上过孔(见图 3-7), 两排过孔尽量相互错开, 孔之间的间距不超过 3mm, 孔的大小范围 0.2~0.3mm;
6. PCB 电容和磁珠接地端需通过短而宽的走线连接到干净地平面的位置, 本文中在顶层做了隔断 (见图 3-7);

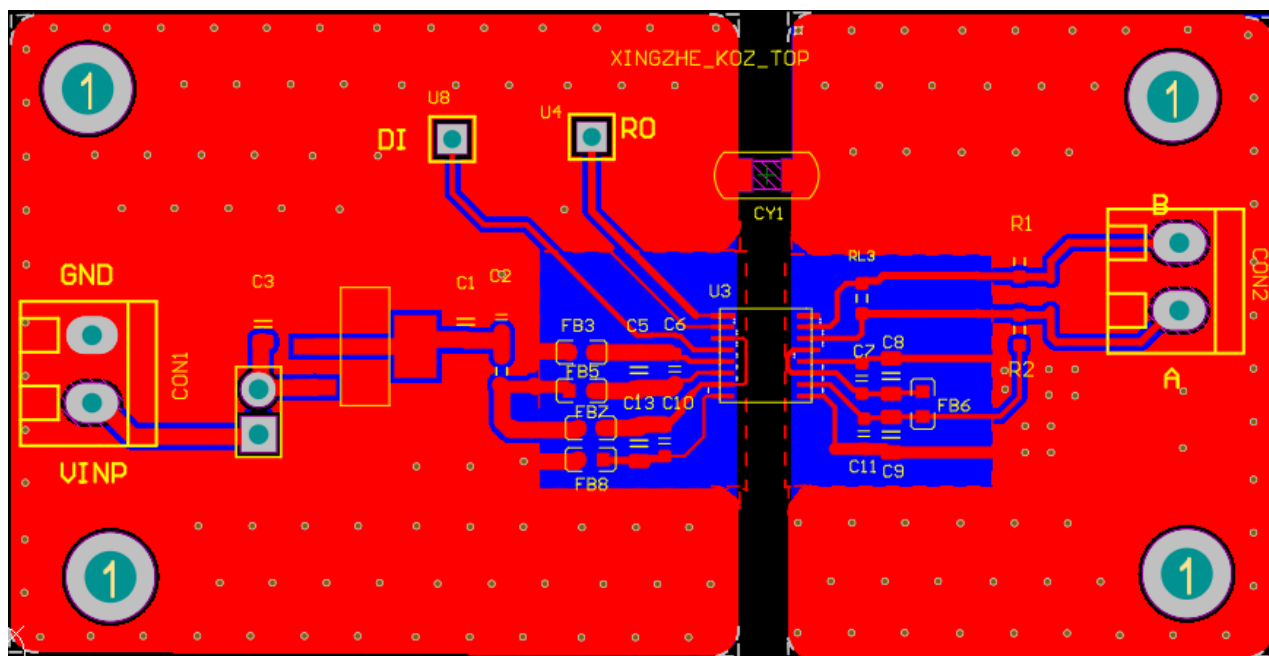


图 3-7 PCB 顶层

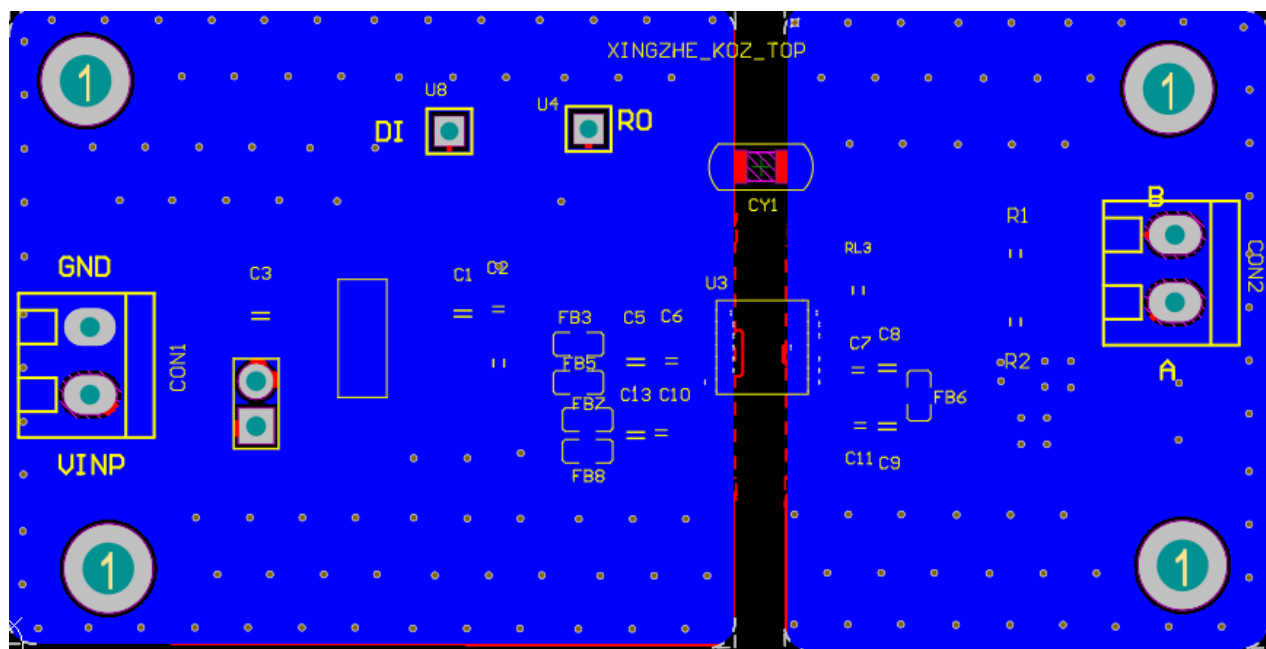


图 3-8 PCB 底层

3.2.2. 电路原理图及推荐器件配置

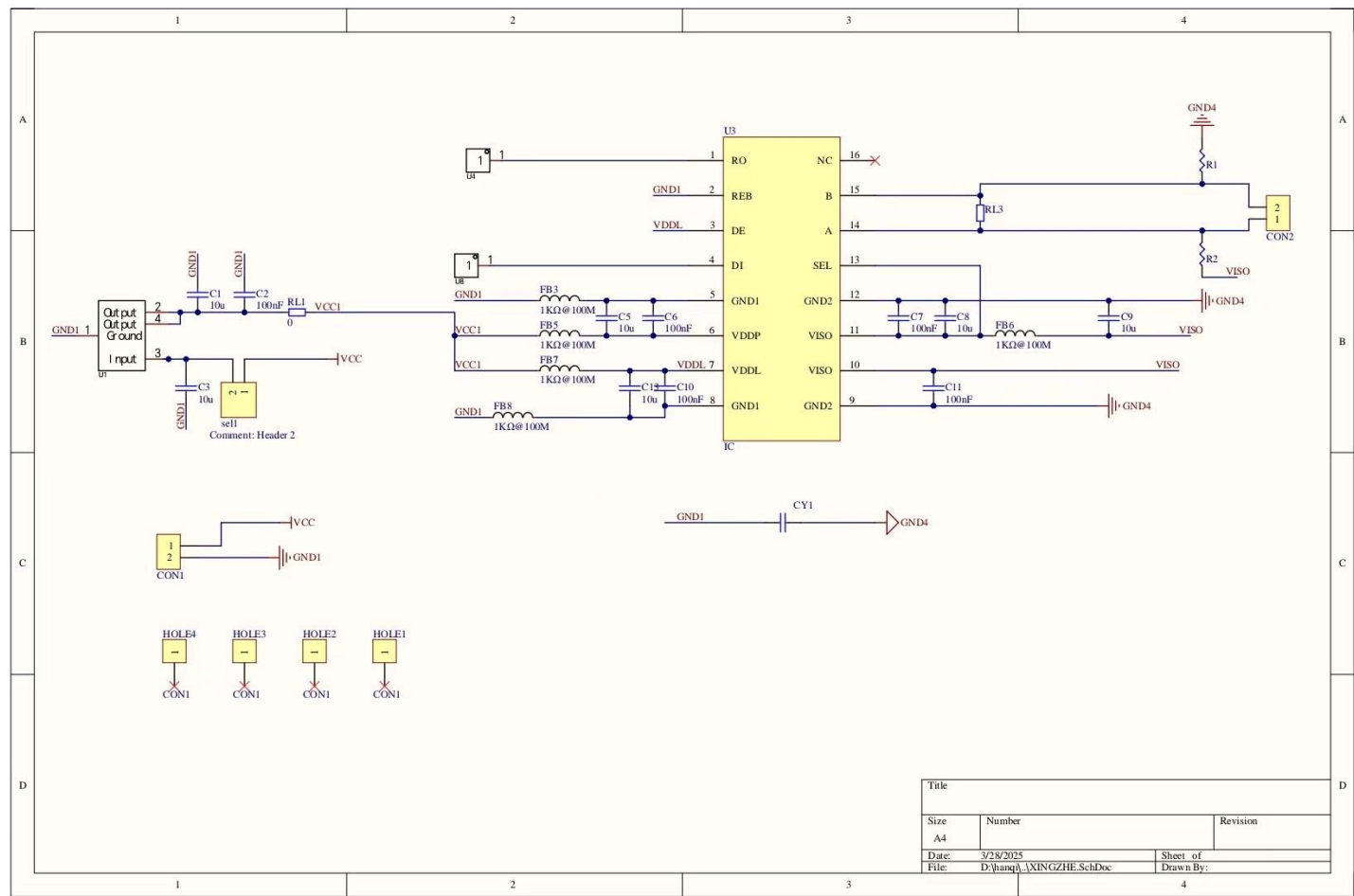


图 3-9 电路原理图

表 3-1 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
磁珠	FB3, FB5, FB6, FB7, FB8	1kΩ at 100MHz	BLM18AG102SN1D	
负载电阻	RL3	56Ω	0603WAF560JT5E	
上下拉电阻	R1,R2	10K	AR03FTB1002	
Y 电容	CY1	15pF	CC1206JKNPODBN150	
LDO	U1	5V	AMS1117-5.0	
电容	C1,C3, C5, C8,C7,C9,C13	10uF	CGA0603X5R106K100JT	
	C2,C6, C7,C11	100nF	CC0603KRX7R9BB104	

修订历史

修订版本	修订时间	修订内容
Ver 1.0	2023/12/25	初始版本
Ver 1.1	2025/3/27	修改 PCB 和测试结果

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。